

塗布型有機単結晶膜の転写パターンニングによる高性能 CMOS 論理回路開発

Transfer Patterning of Solution-processed Organic Single Crystals and High-performance CMOS Logic Circuits

東大院新領域¹, OPERANDO-OIL², 物材機構³, JST さきがけ⁴ ○牧田 龍幸^{1,2},
 臼井 大登¹, 二宮 陽真¹, 熊谷 翔平¹, 辻村 秀太¹, 山下 侑^{1,3}, 岡本 敏宏^{1,2,4}, 佐々木 真理¹,
 渡邊 峻一郎^{1,2}, 竹谷 純一^{1,2,3}

Univ. of Tokyo¹, OPERANDO-OIL², NIMS³, JST-PRESTO⁴, ○Tatsuyuki Makita^{1,2}, Hiroto Usui¹,
 Yoma Ninomiya¹, Shohei Kumagai¹, Shuta Tsujimura¹, Yu Yamashita^{1,3}, Toshihiro Okamoto^{1,2,4},
 Mari Sasaki¹, Shun Watanabe^{1,2}, Jun Takeya^{1,2,3}

E-mail: 7071193578@edu.k.u-tokyo.ac.jp

有機半導体は塗布法による低コストでの薄膜作製が可能であることから、次世代電子デバイスの基盤材料として期待され、盛んに研究されている。近年では、材料開発と製膜技術の向上によって、 $10 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を超える高移動度を示す半導体単結晶薄膜を約 10 cm 角の大きさで得られるようになっている[1]。このような半導体膜を論理回路に応用する際には、各素子を電氣的に孤立させるためのパターンニングが必須である。本研究では、近年当研究室で開発された塗布型半導体薄膜の転写法を応用し[2]、Polydimethylsiloxane (PDMS) で作製した凹凸形状のあるスタンプを用いた簡便なパターンニングプロセスを開発して CMOS 論理回路の作製を行った。

転写パターンニング法の模式図を Fig. 1(a)に示す。超親水性基板上に塗布した半導体単結晶膜を、 $20 \mu\text{m}$ 程度の段差がある PDMS スタンプ上に設置して水を滴下することで半導体膜を転写した。これをターゲット基板上に押し付けることで、Fig. 1(b)のようにスタンプ凸部上の半導体膜のみが転写され、パターンニングが完了した。p 型半導体として $\text{C}_9\text{-DNBDT-NW}$ 、n 型半導体として $\text{PhC}_2\text{-BQQDI}$ [3]を用いて本手法でそれぞれパターンニングし、フィルム基板上での CMOS 論理回路作製を行った (Fig. 1(c))。Fig. 1(d)の入出力特性から、ネガティブエッジトリガ型の D-flip-flop (DFF) の駆動が確認できた。以上により、本手法は高性能な塗布型単結晶膜を用いた CMOS 論理回路作製に有用であることが明らかとなった。

[1] S. Kumagai *et al.*, *Sci. Rep.* **9**, 15897 (2019).

[2] T. Makita *et al.*, *PNAS* **117**, 80 (2020).

[3] T. Okamoto *et al.*, *Sci. Adv.* **6**, eaaz0632 (2020).

【謝辞】

この成果の一部は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の委託業務の結果得られたものです。

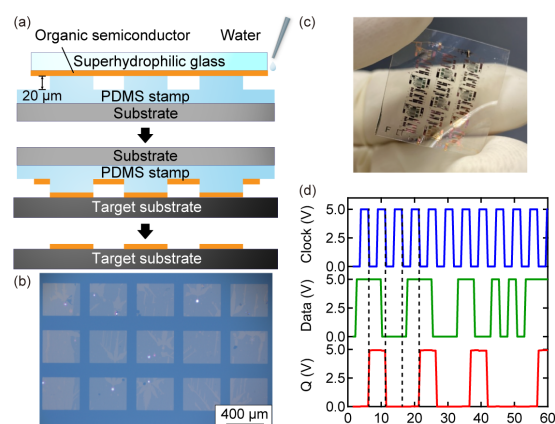


Fig. 1 (a) Schematic illustration of the transfer patterning process. (b) Cross-polarized optical microscopy image of the patterned $\text{C}_9\text{-DNBDT-NW}$ thin films. (c) Device picture. (d) Input (Clock and Data) and output (Q) signals of the fabricated DFF.