

## ミニマルファブを用いた Si 酸化膜ドライエッチングプロセスの研究

### A Study of dry etching process of Silicon oxide film using Minimal Fab

○田中 宏幸<sup>1</sup>, 野沢 善幸<sup>2,3</sup>, 速水 利泰<sup>2,3</sup>, クンブアン ソマワン<sup>1,2</sup>, 原 史朗<sup>1,2</sup>

(<sup>1</sup>産総研, <sup>2</sup>ミニマルファブ推進機構, <sup>3</sup>SPP テクノロジーズ)

○H. Tanaka<sup>1</sup>, Y. Nozawa<sup>2,3</sup>, T. Hayami<sup>2,3</sup>, S. Khumpuang<sup>1,2</sup>, and S. Hara<sup>1,2</sup>

(<sup>1</sup>AIST, <sup>2</sup>MINIMAL, and <sup>3</sup>SPPT) E-mail: tanaka.hiroyuki@aist.go.jp

#### 【 背景・目的 】

Si 酸化膜のドライエッチング<sup>1,2</sup>は、半導体デバイス製造上の基盤技術である。多品種少量向けに開発された超小型デバイス製造システムであるミニマルファブ<sup>3</sup>では、プラズマダメージが問題となる半導体デバイス向け Si 酸化膜のエッチングに関して、これまでデバイスのデザインルールの観点からもウェットエッチングで十分補うことが可能な範疇だったため、Si 酸化膜ドライエッチングの開発については、本格的に着手してこなかった。しかしながら、ミニマルファブでデバイスの縮小化を進めてゆく場合、ウェットエッチングでは、サイドエッチング量を考慮しなければならなくなるため、ウェットエッチングよりもドライエッチングが適している。更にまた、ウェハ両面を加工するような MEMS デバイスにおいては、製造工程において片面だけウェットプロセスを行うこと自体が不可能な場合もあり、ドライエッチングプロセスが有効である。

そこで、シリコンやメタルエッチングに用いてきた既存のミニマルドライエッチャーが、酸化膜向けのフロン系ガスを用いたときのエッチング特性について実験を行い、ミニマルドライエッチャーを酸化膜エッチングに適用できる見通しを得たので報告する。

#### 【 開発装置・実験結果と考察 】

装置の概略図を(図1)に示す。ICP プラズマは、筒状のセラミック管にコイルを巻き、超短波(100MHz, 30W)を印加させて発生させた。

また、シースを発生させて異方性エッチングを行うために、ウェハ基板側からパルスバイアス(2MHz, Vpp 0~400V, Duty 比 0~100%)を印加できるようになっている。今回の実験には、Si 基板の深掘り Bosch プロセス向け装置を用いた。今回の酸化膜エッチングを行う際は、使用ガス種とガスの交互供給を行わない連続放電プラズマを用いる。

図2は、Si 熱酸化膜上に 1.0 $\mu$ m Line & Space のレジストパターンニングしたサンプルのエッチング結果である。エッチング条件は、圧力 3Pa、ICP power 30W、C<sub>4</sub>F<sub>8</sub> = Ar = 2.0 sccm、O<sub>2</sub> = 0.4 sccm、ウェハ基板側からのバイアス Vpp 400V (duty 比 100%)、エッチング時間 2min とした。その結果、Si 熱酸化膜の E/R は実用として十分な約 130 nm/min、ウェハ面内不均一性 $\pm$ 1.2%、対レジスト選択比 2.0、対 Si 基板 4.6 を得た。形状はやや順テーパとなったが、異方性エッチングの特性が得られている。このことは、Si 酸化膜エッチャーとして十分活用できることを示唆している。

当日は、バイアス特性や各種 Si 酸化膜依存性について報告する。

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP12004)の結果得られたものです。

#### <参考文献>

- [1] Rudolf A.H. Heinecke: "Control of relative etch rates of SiO<sub>2</sub> and Si in plasma etching", Solid-State Electronics, Vol. **18**, pp. 1146-1147 (1975).
- [2] Makoto Sekine: "Dielectric film etching in semiconductor device manufacturing development of SiO<sub>2</sub> etching and the next generation plasma reactor", Applied Surface Science, **192**, pp. 270-298 (2002).
- [3] 原 史朗、クンブアン ソマワン、「ミニマルファブの開発とそのデバイスプロセス」、応用物理、**83**(5)、380(2014)。

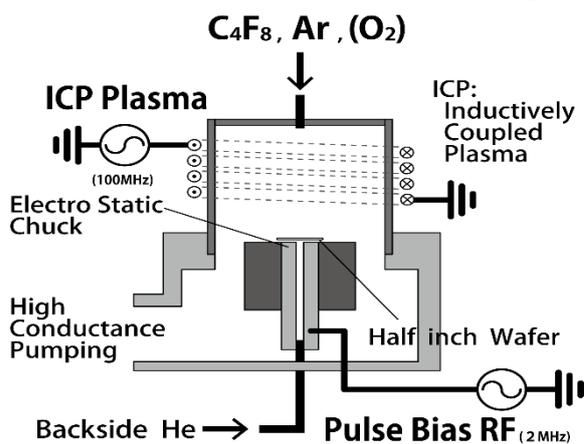


Fig. 1 A schematic diagram of a Minimal Fab ICP etching source and a chamber.

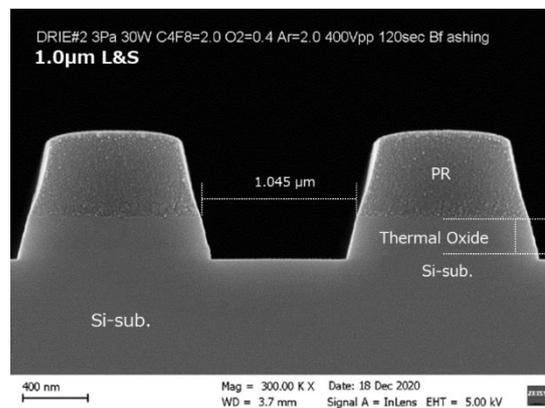


Fig.2 Cross Section 1.0 $\mu$ m L&S SEM picture after etching. PR mask Si Thermal Oxide (210nm) on Si-sub. Pressure = 3Pa, ICP = 30W, C<sub>4</sub>F<sub>8</sub> = Ar = 2.0 sccm, O<sub>2</sub> = 0.4sccm, Bias Vpp = 400V, Time = 120 sec