

4 端子平面型 TiO_{2-x} メモリスタ素子における ゲート制御に基づくシナプス特性の変調

Gate-controlled modulation of synaptic properties in 4-terminal planar TiO_{2-x} memristive devices

阪大院基礎工 〇(M1)安達 健太, 林 侑介, 藤平 哲也, 酒井 朗

Osaka Univ. 〇Kenta Adachi, Yusuke Hayashi, Tetsuya Tohei, Akira Sakai

E-mail: sakai@ee.es.osaka-u.ac.jp

概要: 近年、ニューロモルフィック・コンピューティング分野において、シナプス素子の開発が進められており、その基幹素子としてのメモリスタが注目されている。我々は還元 TiO_{2-x} 単結晶およびホモエピタキシャル薄膜を基材として 4 端子平面型メモリスタ素子を作製し、ゲート変調が可能なヘテロシナプス可塑性をはじめとする複数のシナプス特性の実装を報告してきた [1,2,3]。今回は、同素子において、長期増強 (LTP)・長期抑制 (LTD) 特性の実装と、ゲート制御によるシナプス特性の鋭敏化等の変調を試みたので報告する。

実験方法: Nd:YAG レーザーの第 4 次高調波 (波長 266 nm) 及び TiO_2 ターゲットを用いたパルスレーザー蒸着により、絶縁性ルチル型 $\text{TiO}_2(001)$ 単結晶基板上に、温度 500°C 、酸素分圧 4.0×10^{-4} Pa、成膜レート 2.5 nm/min の条件下で TiO_{2-x} (膜厚 50 nm) をホモエピタキシャル成長させた。表面に Pt 電極 T1~T4 を配置して 4 端子平面型素子を作製し、電気特性評価を行った。LTP・LTD 特性評価において、図 1 の電圧印可プロトコルに従い、まず T1 に正電圧を印加することで、T3 周辺に酸素空孔を集積させた (初期化)。その後、T2 と T4 へのゲート電圧 V_{gate} 印加を伴う刺激付け操作 (T1、T2、T4 にパルス正電圧印加) を行った後、増強操作 (T1 にパルス負電圧印加) 及び抑制操作 (T1 にパルス正電圧印加) を行い、T1-T3 間のコンダクタンス G_{1-3} を変調させた。増強操作でのパルス印加は 10 回行い、抑制操作は G_{1-3} が 10 mS に達するまで行った。刺激付け操作における V_{gate} を変化させ、LTP・LTD 特性の変調性を評価した。

実験結果: 図 2 は刺激付け操作後に増強操作と抑制操作を行ったときの G_{1-3} の変化である。 V_{gate} による刺激付けを行わなかったとき (図 2 中黒) に比べ、 $V_{\text{gate}} = 2 \text{ V}$ の刺激付けを行った後 (図中赤) の方が、増強操作後のコンダクタンスが高くなっている。一方、 $V_{\text{gate}} = 16 \text{ V}$ の刺激付けを行った後は (図中緑)、増強操作後のコンダクタンスは低くなる。これらの結果から V_{gate} による刺激付けによって、シナプスの LTP 特性において、それぞれ、鋭敏化と鈍化が生じたと言える。図 3 は増強操作 10 回パルス印加後の G_{1-3} の V_{gate} 依存性を示している。 V_{gate} の減少とともに G_{1-3} が減少しており、 V_{gate} により LTP 特性の鋭敏化度合を変調できることが分かった。

謝辞: 本研究は、JSPS 科研費 JP17H03236、JP17K18881、JP20H00248 の助成を得て行われた。

agata *et al.*, Sci. Rep. 9 (2019)10013. [2]三宅ら, 第 80 回秋応物学会, 20a-F211-9. [3] 安達ら, 第 81 回秋応物学会, 9a-Z28-5.

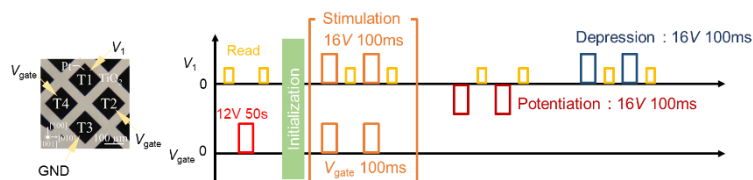


Fig. 1. Optical micrograph of a 4-terminal memristive device and voltage application protocol for stimulation and LTP/LTD processes

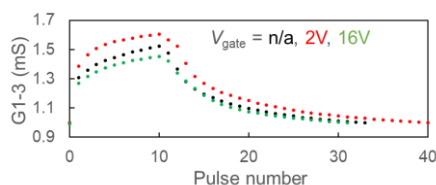


Fig. 2. Modulation of LTP and LTD characteristics with $V_{\text{gate}} = \text{n/a}$ (black), 2 V (red), and 16 V (green).

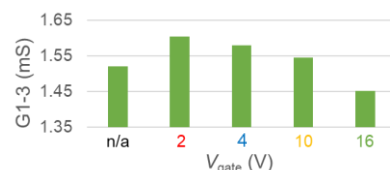


Fig. 3. G_{1-3} after 10 potentiation pulse application of the devices subjected to the stimulation with $V_{\text{gate}} = \text{n/a}$, 2 V, 4 V, 10 V, and 16 V.