

グラフェントランジスタの低ダメージ作製プロセスの検討

Development of low-damage process to fabricate graphene transistors

情報通信研究機構¹, 東北大学 電気通信研究所² °渡邊 一世¹, 吹留 博一²

NICT¹, RIEC Tohoku Univ.², °Issei Watanabe¹, Hirokazu Fukidome²

E-mail: issei@nict.go.jp

グラフェンのキャリア移動度・飽和速度は高く、キャリア移動度は InAs 並みであるなど優れた物性を示すとともに、バンドギャップがゼロもしくは小さい場合は、InAs や InSb などの狭ギャップ半導体トランジスタの延長上にあると考えられ、将来の高速・高周波トランジスタ等の電子材料として注目される。これまで我々は、III-V 族化合物半導体である InGaAs および GaN をチャネルとする高電子移動度トランジスタ (HEMT) を作製し、ゲート長 (L_g) 50 nm 以下で最大発振周波数 (f_{max}) 550 GHz や 287 GHz をそれぞれ報告した^[1,2]。本研究では、微細ゲート電極を有するグラフェントランジスタ作製に向けた低ダメージプロセスを検討したので報告する。

今回、微細 T 型ゲート電極形成のみに電子線 (EB) リソグラフィ技術を用いる InGaAs 系 HEMT の作製プロセス^[1]を基に、①グラフェン表面へのレジスト等の付着を防ぐ、②グラフェンと電極金属との低密着性による DC・RF オンウェハ・プロービング特性評価時のグラフェンおよび電極金属の剥離・損傷を防ぐ、③透明材料であるグラフェン層上での UV・EB 露光アライメントの精度を維持することに着目し、グラフェントランジスタの低ダメージ作製プロセスを検討・開発した。

Fig. 1 に検討したグラフェントランジスタのプロセスフローを示す。①について、グラフェン表面に成膜した SiO_x 上にソース・ドレイン電極用レジストを形成し、HF 系エッチャントにより SiO_x を開口、リフトオフによりソース・ドレイン電極を蒸着形成する (工程 1~4)。なお、 SiO_x は真空蒸着により成膜するため、CVD 等のプラズマダメージをグラフェン層に与えることはない。ソース・ドレイン電極形成後、素子分離用レジストおよびソース・ドレイン電極をマスクとして O_2 プラズマにより素子分離を行う (工程 5~7)。素子分離後、ソース・ドレイン電極に重ね合わせるようにオンウェハ・プロービング用コンタクトパッド電極を形成する (工程 8)。なお、コンタクトパッド電極は O_2 プラズマによりグラフェン層が除去された基板表面上 (Fig. 1 では SiC 基板上) に直接形成されるため、②を実現できる。最後に、微細 T 型ゲート電極形成用の三層 EB レジスト (ZEP/PMGI/ZEP) を形成し、リフトオフにより T 型ゲート電極を形成する (工程 9~10)。なお、ゲート電極もしくは三層 EB レジストの形成前に SiO_x を HF 系エッチャント等で除去し、かつゲート絶縁膜を成膜することにより MIS ゲート構造を実現できる。また、ゲート電極 ($L_g = 100$ nm 以下、ゲート幅 $W_g = 50 \mu\text{m} \times 2$ を想定) はソース・ドレイン電極間 (電極間距離 $L_{SD} = 2 \sim 4 \mu\text{m}$ を想定) に形成することから、UV・EB 露光用アライメントマーカーをソース・ドレイン電極とともに形成することにより③を実現できる。以上より、検討したグラフェントランジスタの低ダメージ作製プロセスは、他のグラフェンデバイスや InGaAs 系 HEMT 等の二次元平面デバイス作製技術との親和性が高いと示唆される。

謝辞：本研究開発の一部は総務省 SCOPE (181602004) の委託を受けて実施した。

参考文献：[1] I. Watanabe *et al.*, IEICE Trans. Electron., Vol. E93-C, no. 8, pp. 1251-1257 (2010).

[2] 山下他、第 79 回応用物理学会秋季講演会、no. 21a-331-4 (2018).

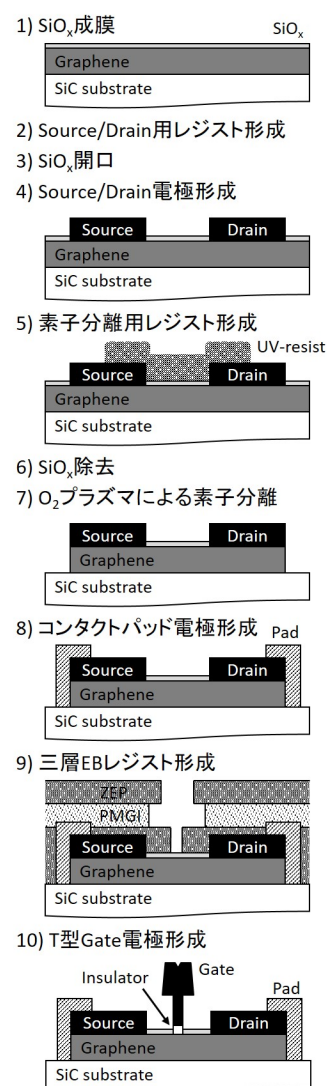


Fig. 1 Process flow to fabricate nanoscale-gate graphene transistor