

単電子計数統計を用いたナノメートルスケール Si MOSFET 中の熱電効果の観測

Observation of thermoelectric effect in a nanometer-scale Si MOSFET

by using single-electron counting statistics

NTT 物性科学基礎研究所 °知田 健作、藤原 聡、西口 克彦

NTT Basic Research Laboratories °Kensaku Chida, Akira Fujiwara, and Katsuhiko Nishiguchi

E-mail: Kensaku.chida.ry@hco.ntt.co.jp

【はじめに】熱電素子としてナノ構造体を用いることで熱電変換効率を高めたり熱の流れる方向を制御したりすることができる[1]。ナノ構造体における熱電効果を研究するに当たっては局所的な電子温度をナノメートルスケールの分解能で計測することが本質的に重要であるが、温度計や光を用いた手法ではその実現は難しい。本研究では、単電子計数統計を用いてナノデバイスを伝導する電子の統計的情報から直接的に伝導電子の局所的な温度を求めた。その結果、Si MOSFET によって形成された長さ 50 nm のエネルギーバリア両端の局所的な温度差を求めることに成功した。更に、単電子の帯電エネルギーを電圧の基準として利用することでナノメートルスケール MOSFET のゼーベック電圧を求め、そのゼーベック係数を導出した。

【実験手法】本実験に用いたデバイスは Silicon on insulator 基板上に形成された Si ナノワイヤであり、電子溜(Reservoir)、ゲート MOSFET(FET)、電子箱(Box)、検出器(Detector)から構成される(Fig. 1)[2]。電子はゲート MOSFET によって形成されたバリアを越えて電子箱—電子溜間をランダムに行き来しており電子箱内電子数 N は電子箱温度 T_{EB} を反映した範囲でゆらぐ[3]。検出器電流 I_d の生成する電力 P によって電子箱が温められ、電子箱—電子溜間に温度差 $\Delta T (= T_{EB} - T_{ER})$ が生じ、ゼーベック電圧 $\Delta V = (\Delta E / e T_{ER}) \Delta T = ((\Delta E + \Delta V) / e T_{EB}) \Delta T$ が発生し、 N が $\Delta N = \Delta V / 2E_c$ だけ変調される(Fig. 2)。ここで、 T_{ER} は電子溜温度で、 $E_c (= e^2 / 2C = 3.8 \text{ meV})$ は帯電エネルギー、 e は素電荷、 C は電子箱容量である。また、詳細釣り合いを仮定することで得られる関係式 $T_{EB} / T_{ER} = [(\Delta V_{ER} + \delta V) / \Delta V_{ER}] = \Delta V_{EB} / \Delta V_{ER}$ から T_{ER} を求めた。ここで、 ΔV_{ER} は電子溜電位の変化量、 δV は ΔV_{ER} によって変調される ΔV の大きさ、 ΔV_{EB} は ΔV_{ER} によって変化する電子箱電位である。以下に示す実験は全て 25 K にて行った。

【結果】 I_d は N のゆらぎを反映してステップ状の変化を示す[Fig. 3(a)]。 I_d を N に変換し、 N のヒストグラムを作成した結果が Fig. 3(b)で、その分散 δN^2 から $T_{EB} (= 2\delta N^2 E_c / k)$ と $T_{ER} (= T_{EB} \Delta V_{ER} / \Delta V_{EB})$ を求めた。ここで、 k はボルツマン定数である。 T_{EB} や ΔT は P が増大するにつれ上昇した[Fig. 3(c)]。これは検出器がヒーターの役割を担っていることを示す。また、電子溜からみたエネルギーバリア高さ $\Delta E \sim 40 \text{ mV}$ という条件における ΔV の ΔT 依存性をプロットしたところ比例関係が得られ[Fig. 3(d)]、ゼーベック係数 $S (= \Delta V / \Delta T) \sim 1.7 \text{ mV/K}$ という値が得られた。この値は S の別定義 $\Delta E / e T_{ER} \sim 1.6 \text{ mV/K}$ と良好な一致を示した。これらの結果は、単電子計数統計がナノ構造体における熱電効果を研究するツールとして有用であることを示している。

【参考文献】[1] G. Benenti et al., *Phys. Rep.* **694**, 1 (2017). [2] K. Nishiguchi et al., *Jpn. J. Appl. Phys.* **47**, 8305 (2008). [3] K. Nishiguchi, Y. Ono, and A. Fujiwara, *Nanotechnol.* **25**, 275201 (2014).

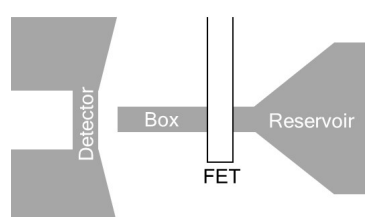


Fig. 1 Schematic illustration of the device.

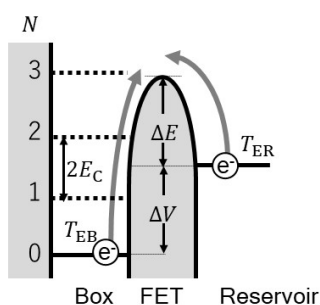


Fig. 2 Schematic potential landscape across the single barrier formed with the gate MOSFET.

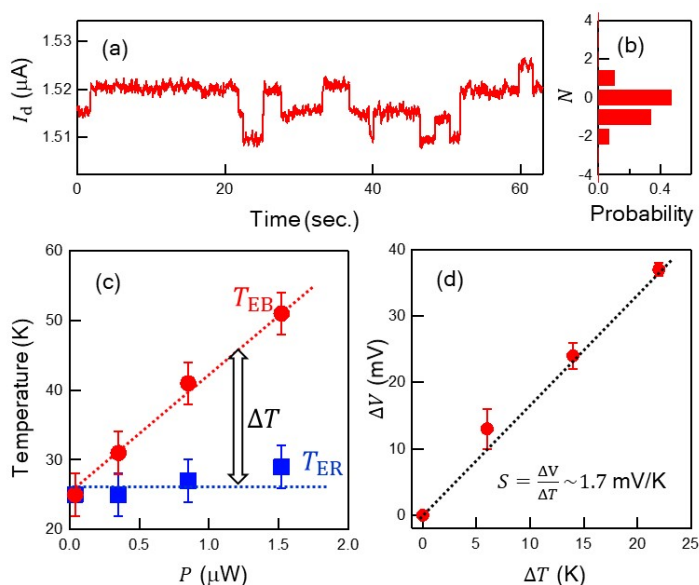


Fig. 3 (a) I_d as a function of time. (b) Histogram of N obtained from a data set including (a). (c) T_{EB} and T_{ER} as a function of P . (d) ΔV as a function of ΔT when $\Delta E \sim 40 \text{ mV}$.