

今後のミニマルファブ デバイス開発戦略と TCAD 活用

Strategy of Device Development of Minimal Fab and Utilization of TCAD Technology

ミニマルファブ推進機構¹, 産総研², 産総研・東大 AI チップデザインオープンイノベーションラボラトリ³
[○]浜本 毅司¹, 古賀 和博¹, 小粥 敬成¹, 服部 淳一^{2,3}, 福田 浩一^{2,3}, クンブアン ソマワン^{1,2}, 原 史朗^{1,2}

MINIMAL¹, AIST², and AIST-UTokyo AI Chip Design Open Innovation Laboratory (AIDL)³

[○]Takeshi Hamamoto¹, Kazuhiro Koga¹, Hiroshige Kogayu¹, Junichi Hattori^{2,3}, Koichi Fukuda^{2,3}, Somwan Khumpuang^{1,2}, and Shiro Hara^{1,2}
 E-mail: takeshi.hamamoto@minimalfab.com

【背景】ミニマルファブは多品種少量生産を第一のターゲットとした生産システムである[1]。このミニマルファブでのデバイス適応実績としては、カンチレバーに代表される MEMS デバイス、CMOS およびそれを用いた Ring Oscillator とオペアンプ、更には 1,000 Gate レベルの集積回路の動作検証が終了し、実用化目前の状況である。今後は、ミニマルファブの特徴を生かすことに加えて、差別化技術を付加することにより、その広範な普及を目指すことが求められている。本発表に於いては、今後のミニマルファブでの開発候補として遡上に挙げたデバイスとその長所・開発項目を整理すると共に、デバイス設計効率向上の観点から導入を開始した TCAD 技術の準備状況に関して報告する。

【次世代デバイス候補】表 1 にデバイス開発候補とその長所・開発項目を纏めた。まずは、現状の 2 層配線 CMOS デバイスを基に、A1 配線を 1 層加えることにより、回路設計の容易化を図る (1-1)。また、アナログ CMOS に Back Gate Bias を印加することにより、低電圧化、低消費電力化を行い差別化を実現する (1-2)。次の段階としては、CMOS デバイスを 0.35 μm レベルに縮小、EOL (End of Life) デバイスへの対応を行う (2-1, 2)。プロセス技術として、ゲート電極の加工寸法を現状の 10 μm から 0.35 μm への微細化が必要となる。EB 直描技術の適応が前提だが、それに対する代替技術として、スリミング、マルチパターニング技術[2]を必要状況に応じて開発し、ゲート加工などに適応する。一方、CMOS 以外のデバイスとして、Bipolar (3-1)、BCD (Bipolar / CMOS / DMOS) (3-2) をラインアップに加えることにより高耐圧デバイスへの対応を行う。GaAs、SiC、Diamond、Ga₂O₃ (4-1-4) などのシリコン以外のデバイス候補は、そのアプリケーション戦略とリンクさせながら開発の優先順位を検討する。

【TCAD 技術】次世代デバイスの開発を進めるに際して、最初の段階であるデバイス設計は TCAD を用いて開発期間短縮と確度向上を図る。ベースとなるのは現状のミニマルファブで試作を進めている SOI CMOS で、その特性の合わせ込みを行った。用いたデバイスシミュレーターは産総研オリジナルの Impulse TCAD である[3]。図 1 にシミュレーション構造の一領域を示す。SOI CMOS の NMOS 領域である。基板構造は、Si (95nm) / BOX 酸化膜 (400nm) / Si 基板である。TiN から成るゲート電極長は 10 μm 、実効チャネル長は 4 μm 、ゲート酸化膜厚は 15nm、である。PMOS は、ゲート電極長は NMOS と同じで、実効チャネル長は 5 μm である。MOS の拡散層プロファイルは SIMS 分析、横方向への拡散長は電氣的に取得[4]、また TiN の仕事関数を MOS 特性と一致するように合わせ込んだ結果、図 2 に示す V_{th} のチャネル長依存性は、実測結果をシミュレーションで再現することが出来る状況までになった。今後は、この結果を基に、CMOS デバイスの微細化、高耐圧化、高性能化、などに対応するデバイス設計/開発を進める。

【参考文献】

- [1] 原 史朗, クンブアン ソマワン: 「ミニマルファブの開発とそのデバイスプロセス」, 応用物理学会誌 83 (5), p. 380 (2014).
- [2] 岡崎信次: 「先端リソグラフィの技術動向」, クリーンテクノロジー, No. 3, Vol. 19 (2009) 1-6.
- [3] T. Ikegami, K. Fukuda, J. Hattori, H. Asai, H. Ota, "A TCAD device simulator for exotic materials and its application to a negative-capacitance FET, J. of Computational Electronics, Vol.18(2), pp. 534-542, 2019.
- [4] 寺田和夫: 「MOSFETの実効チャネル長としきい値電圧の抽出」, 応用物理学会分科会, シリコンテクノロジー. No. 30, 24th August, 2001

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の助成事業 (JPNP12004) の結果得られたものです。

	Device	長所	開発項目
0	CMOS (2層A配線)	開発済	無
1-1	CMOS+3層A配線	・自動配線Toolでの回路設計に対応出来る	・AI配線層の追加 ・層間膜CMP
1-2	Analog CMOS + Back Gate Bias印加	・Back Gate電圧制御可能 ⇒低 V _{th} , 低電源電圧, 低消費電力	・基板 Contact
2-1	0.35 μm 3.3V SOI CMOS	・EOL (End of Life) 製品対応 (3.3V品)	・EB露光, スリミング, マルチパターニング (Gate加工) ・PolySi ・イオン注入
2-2	0.35 μm 5V SOI CMOS	・EOL (End of Life) 製品対応 (3.3 and 5V品)	・EB露光, スリミング, マルチパターニング (Gate加工) ・Body Contact ・PolySi ・イオン注入
3-1	Bipolar	・EOL (End of Life) 製品対応	・横型 Bipolar
3-2	36/20V BCD	・24/12V系回路対応	・高耐圧 Bulk CMOS
4-1	GaAs	・高周波デバイス ・光デバイス	・高周波/光対応技術
4-2	SiC		
4-3	Diamond	・パワーデバイス高性能化	・材料開発
4-4	Ga ₂ O ₃		

表1 ミニマルファブ次世代デバイス候補

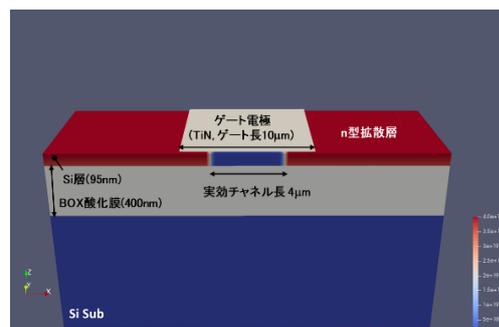


図1 シミュレーション構造 (SOI NMOS)

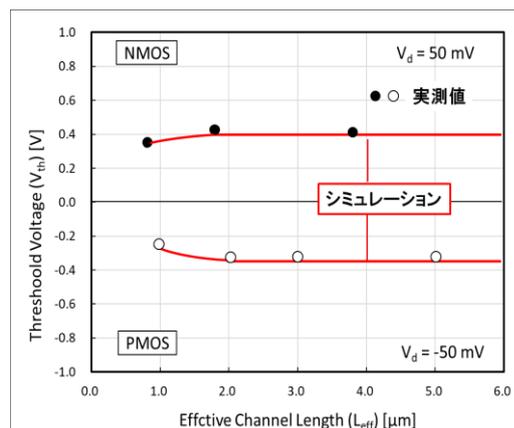


図2 V_{th}のチャネル長依存性